

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
009034910 **Image available**

BEST AVAILABLE COPY

WPI Acc No: 1992-162268/199220
XRAM Acc No: C92-074695
XRPX Acc No: N92-121660

Mfg. thin film semiconductor device - by emitting hydrogen@ from
polycrystal semiconductor film by heating, growing crystal, etc.

NoAbstract Dwg 1/4

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4100211	A	19920402	JP 90217737	A	19900818	199220 B

Priority Applications (No Type Date): JP 90217737 A 19900818

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4100211	A	7		
------------	---	---	--	--

Title Terms: MANUFACTURE; THIN; FILM; SEMICONDUCTOR; DEVICE; EMIT;
HYDROGEN; POLYCRYSTALLINE; SEMICONDUCTOR; FILM; HEAT; GROW;
CRYSTAL; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/20; H01L-027/12;
H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03735111 **Image available**

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 04-100211 [JP 4100211 A]

PUBLISHED: April 02, 1992 (19920402)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 02-217737 [JP 90217737]

FILED: August 18, 1990 (19900818)

INTL CLASS: [5] H01L-021/20; H01L-021/324; H01L-027/12; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass
Conductors)

JOURNAL: Section: E, Section No. 1237, Vol. 16, No. 336, Pg. 3, July
21, 1992 (19920721)

ABSTRACT

PURPOSE: To form a polycrystalline silicon thin film with large crystal grains by heat treatment in a short time by controlling the quantity of hydrogen contained in an amorphous silicon thin film formed by a plasma CVD method.

CONSTITUTION: An Si film having a hydrogen temperature and spin density is formed by heat-treating an amorphous Si film 1-2 at a low temperature of 400-500 deg.C so as to discharge hydrogen from the film 1-2 after the film 1-2 is deposited. The Si film 1-2 having the hydrogen temperature and spin density is directly deposited on a substrate by a plasma CVD method while the substrate is maintained at a relatively high temperature of 250-400 deg.C. Then an amorphous thin film 1-2 is formed by solid growth. Furnace anneal using a quartz tube is convenient for making the solid growth. A nitrogen, hydrogen, argon, or helium gas is used for forming the annealing atmosphere. The anneal can be performed in a high-vacuum atmosphere of 1×10^{-6} to 1×10^{-4} Torr.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-100211

⑬ Int. Cl.³

H 01 L 21/20
21/324
27/12
29/784

識別記号

庁内整理番号

9171-4M

R

7514-4M

⑭ 公開 平成4年(1992)4月2日

9056-4M H 01 L 29/78 3 1 1 F

審査請求 未請求 請求項の数 5 (全7頁)

⑮ 発明の名称 薄膜半導体装置の製造方法

⑯ 特 願 平2-217737

⑰ 出 願 平2(1990)8月18日

⑱ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑳ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

(1)

(a) 絶縁性非晶質材料上に水素を含有する非単結晶半導体薄膜を堆積させる工程、

(b) 該非単結晶半導体薄膜を熱処理することにより水素を放出させる工程、

(c) 固相成長法により該非単結晶半導体薄膜を結晶成長させる工程、

(d) 結晶成長させた非単結晶半導体薄膜に半導体装置を形成する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

(2) 前記非単結晶半導体薄膜を、プラズマCVD法により堆積させることを特徴とする特許請求項第1記載の薄膜半導体装置の製造方法。

(3) 前記非単結晶半導体薄膜を熱処理することにより水素を放出させる工程後、該非単結晶半導体薄膜の含有水素量が $7 \times 10^{19} \sim 3 \times 10^{21} \text{ cm}^{-3}$ 、スピン密度が $2 \times 10^{19} \sim 5 \times 10^{19} \text{ cm}^{-2}$ であることを特徴とする特許請求項第1記載の薄膜半導体装置の製造方法。

(4) 前記非単結晶半導体薄膜を熱処理することにより水素を放出させる工程において、熱処理温度が $400 \sim 500^\circ\text{C}$ であることを特徴とする特許請求項第1記載の薄膜半導体装置の製造方法。

(5) 前記固相成長法は、 $500 \sim 700^\circ\text{C}$ の低温アニールであることを特徴とする特許請求項第1記載の薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜半導体装置及びその製造方法に係わり、特に、結晶性の優れたシリコン薄膜を利用した薄膜半導体装置及びその製造方法に関する。

〔従来の技術〕

近年、SOIあるいは、三次元ICや、大型液晶表示パネルや、高速で高解像度の密着型イメージセンサ等へのニーズが高まるにつれて、絶縁性非晶質材料上に、高性能な薄膜半導体装置の実現する技術が重要になってきた。

石英基板、ガラス基板等の絶縁性非晶質基板あるいはSiO₂等の絶縁性非晶質層上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜あるいは単結晶シリコン薄膜を形成する方法は、SOI (Silicon On Insulator) 技術として知られている。〔参考文献 S

〔発明が解決しようとする課題〕

従来の技術では、多結晶シリコン薄膜をCVD法で成膜し、Si⁺をイオン注入して該多結晶シリコン薄膜を非晶質化した後、600℃程度の熱処理を100時間近く行っていた。このため、高価なイオン注入装置を必要としたほか、熱処理時間が極めて長いという欠点があった。

また、固相成長法においては、酸素等の不純物によって結晶成長が妨害される。そこで、EB蒸着法、スパッタ法、MBE法等で非晶質シリコン薄膜を成膜する場合は、極めて清浄で、しかも超高真空なチャンバー内で成膜しなければいけない。従って、量産時の能力に問題があり、メンテナンスも容易ではなくなる。

プラズマCVD法で成膜された非晶質シリコン薄膜は、不純物は非常に少ないが、膜中に多くの水素を含んでいる。その水素が固相成長を阻害するため、あるいは急激な熱処理により水素が爆発的に放出するために、固相成長させる非晶質シリコン薄膜の成膜方法としてプラズマCVD法は適

OI構造形成技術、産業図書〕。大きく分類すると、再結晶化法、ニビタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法は、レーザーアニールあるいは電子ビームアニールによりシリコンを熔融再結晶化させる方法と、熱処理により熔融する温度までは昇温させずに結晶成長させる固相成長法の2つに分類される。前記レーザーアニール等による熔融再結晶化法は、大面積化に対して技術的困難が大きい。この方法に比較して、低温熱処理においても容易に再結晶化できるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。〔参考文献 IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987〕。そこで、本発明は、固相成長法における従来技術の問題点を解決し、より優れた固相成長技術の確立を主旨とする。

していないと従来考えられていた。

本発明の目的は、上述の問題点を解決し、より簡便で実用的なプラズマCVD法で成膜された非晶質シリコン薄膜に含まれる水素量を制御し、より短時間の熱処理で大粒径の多結晶シリコン薄膜を形成できる固相成長法を提供することである。

〔課題を解決するための手段〕

本発明の薄膜半導体装置の製造方法は、

- (a) 絶縁性非晶質材料上に水素を含有する非単結晶半導体薄膜を堆積させる工程、
- (b) 該非単結晶半導体薄膜を熱処理することにより水素を放出させる工程、
- (c) 固相成長法により該非単結晶半導体薄膜を結晶成長させる工程、
- (d) 結晶成長させた非単結晶半導体薄膜に半導体装置を形成する工程を少なくとも有することを特徴とする。

【実施例】

絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいは SiO_2 膜等が用いられる。石英基板を用いる場合はプロセス温度は 1200°C 程度まで許容されるが、ガラス基板を用いる場合は、 800°C 以下の低温プロセスに制限される。本発明は、石英基板を用い、前記非単結晶半導体薄膜として Si 薄膜を用いた場合を実施例として説明する。プラズマCVD装置を用い、第1図(a)に示すように石英基板1-1上に、 SiH_4 と H_2 の混合ガスを、 13.56MHz の高周波グロー放電により分解させて非晶質 Si 膜1-2を堆積させる。前記混合ガスの SiH_4 分圧は $10\sim 20\%$ 、デボ中の内圧は $0.5\sim 1.5\text{ torr}$ 程度である。基板温度は 250°C 以下、 180°C 程度が適している。赤外吸収測定より結合水素量を求めたところ約 $8\text{ atomic}\%$ であった。

次イオン質量分析)の測定を行った。その結果をそれぞれ第3図と第4図に示す。

第3図において、縦軸はスピン密度、横軸はアニール時間を示している。1時間アニールによりスピン密度は増加し、5時間までは徐々に増えている。ところがスピン密度は、8時間のアニールによりわずかに減少し、17時間以上では急激に減少している。第4図において、縦軸は水素濃度、横軸はアニール時間を示している。水素濃度は、8時間までは急激に減少しているが、17時間以上では、ほぼ検出限界以下の値となっている。これらの結果より、5時間までは水素が放出されダングリングボンドが増加する過程、5～8時間の間はほぼ水素が抜けきり、結晶核が生成し始め、そのためにダングリングボンドがわずかに減少する過程、そして8時間以上では結晶成長が進むためにダングリングボンドが急激に減少する過程が起きていると推察される。

プラズマCVD法によって成膜された非晶質 Si 膜は多量の水素を含有しているために、その結

晶いて、該非晶質 Si 膜を、 $400^\circ\text{C}\sim 500^\circ\text{C}$ で熱処理して水素を放出させる。

以下、発明者が行なった実験の結果を交えながら実施例を説明する。非晶質 Si 膜は基板温度 180°C 、内圧 0.8 torr と設定して堆積した。

結晶性のアニール時間依存性を詳しく調べるためにX線回折測定を行った。その結果を第2図に示す。縦軸は $\langle 111 \rangle$ 、 $\langle 220 \rangle$ 、 $\langle 311 \rangle$ 方位からのスペクトルの積分強度を総和したX線回折強度を示し、横軸はアニール時間を示す。丸印は 600°C 、三角印は 650°C 、逆三角印は 700°C のアニール温度の結果を示している。この結果は、アニール温度がより低い方が、結晶成長が始まるまでに長いアニール時間を要するけれども、X線回折強度はより強くなることを示している。アニール温度 800°C の場合、X線回折信号は8時間のアニールでは観測されず、17時間のアニールで初めて観測される。この8～17時間の潜伏時間で起きている現象について調べるために、ESR(電子スピン共鳴)とSIMS(二

子構造は容易に再配列することが知られているが、水素の存在は固相成長を妨げるという悪影響があることがわかった。以上の実験結果より、水素を $7\times 10^{18}\text{ cm}^{-2}$ 以上という多量に含む非晶質 Si 膜を 600°C 以下の低温熱処理で固相成長させるためには、少なくとも17時間以上望ましくは100時間程度の長時間アニールが必要であることがわかった。又、スピン密度に関しては、 $2\times 10^{18}\text{ cm}^{-2}$ 以下と少ない場合には Si 原子同士の結合力が強いために固相成長に長時間を要することがわかった。固相成長を行う前に、非晶質 Si から水素を放出させて含有水素量を $7\times 10^{18}\sim 3\times 10^{18}\text{ cm}^{-2}$ 、スピン密度を $2\times 10^{18}\sim 5\times 10^{18}\text{ cm}^{-2}$ とし、その後 800°C の低温でアニールすれば短時間のアニールで大粒径の多結晶 Si が得られることがわかった。そこで、本発明では、ひとつの方法として第1図(a)に示されるように非晶質 Si 膜1-2を堆積させた後、 $400^\circ\text{C}\sim 500^\circ\text{C}$ の低温で熱処理することにより、水素を放出させて前記の水素濃度及びスピン

密度を持ったSi膜を形成する。またもう一つの方法としてプラズマCVD法で基板温度を250℃～400℃の比較的高温に設定することによって前記の水素濃度及びスピンドル密度を持ったSi膜1-2を直接堆積させる方法がある。

次に、前記非晶質薄膜1-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10⁻⁴から1×10⁻¹⁰Torrの高真空雰囲気で行ってもよい。固相成長アニール温度は500℃～700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。第1図(b)において、1-3は固相成長シリコン薄膜を示している。

次に前記固相成長シリコン薄膜1-3をフォトリソグラフィ法によりパターンニングして第1図(c)に示すように島状にする。

膜方法としては、CVD法、スパッタ法、真空蒸着法、プラズマCVD法等の方法があるが、こゝでの詳しい説明は省略する。

続いて第1図(f)に示すように、前記ゲート電極1-5をマスクとして不純物をイオン注入し、自己整合的にソース領域1-6およびドレイン領域1-7を形成する。前記不純物としては、Nc hトランジスタを作製する場合はP⁺あるいはAs⁺を用い、Pc hトランジスタを作製する場合はB⁺等を用いる。不純物添加方法としては、イオン注入法の他に、レーザードーピング法あるいはプラズマドーピング法などの方法がある。1-8で示される矢印は不純物のイオンビームを表している。前記絶縁性非晶質材料1-1として石英基板を用いた場合には熱拡散法を使うことができる。不純物濃度は、1×10¹⁸から1×10²⁰cm⁻³程度とする。

続いて第1図(g)に示されるように、層間絶縁膜1-8を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性

次に第1図(d)に示されているように、ゲート酸化膜1-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光誘起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理することによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板1-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。

次に第1図(e)に示されるように、ゲート電極1-5を形成する。該ゲート電極材料としては多結晶シリコン薄膜、あるいはモリブデンシリサイド、あるいはアルミニウムやクロムなどのような金属膜、あるいはITOやSnO₂などのような透明性導電膜などを用いることができる。成

が良好ならば膜厚はいくらでもよいが、数千人から数μm程度が普通である。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH₃)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

ここで、水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、ゲート酸化膜界面などに存在するダングリングボンドなどの欠陥が不活性化される。この様な水素化工程は、層間絶縁膜1-9を積層する前におこなってもよい。

次に第1図(h)に示すように、前記層間絶縁膜及びゲート絶縁膜にコンタクトホールを形成し、コンタクト電極を形成しソース電極1-10およびドレイン電極1-11とする。該ソース電極及びドレイン電極は、アルミニウムなどの金属材料で形成する。この際にして薄膜トランジスタが

形成される。

【発明の効果】

プラズマCVDによって成膜された非晶質Si膜は多い場合は数10%の水素を含んでいる。そして、TEM観察、ラマン測定、X線回折測定、ESR測定、SIMS分析等の結果より、非晶質Si膜中に含まれる水素が、固相成長を遅らせていることが分かった。従って、従来の固相成長法では、非晶質Si膜から水素が脱離するのに長時間を要し、2μm以上の大粒径Si膜を成長させるためには100時間に近い長時間アニールが必要であった。

本発明においては、固相成長の前に、400℃～500℃の熱処理により水素を放出させて、水素含有量 $7 \times 10^{19} \sim 3 \times 10^{20} \text{ cm}^{-3}$ 、スピ密度 $2 \times 10^{19} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の非晶質Si膜を形成する。その次に、固相成長させるので、固相成長のアニール温度が600℃程度の低温でも結晶核発生に長時間アニールを必要とせず、潜

本発明によって得られた大粒径多結晶シリコン薄膜を用いて薄膜トランジスタを作成すると、優れた特性が得られる。従来に比べて、薄膜トランジスタのON電流は増大しOFF電流は小さくなる。またスレッショルド電圧も小さくなりトランジスタ特性が大きく改善される。NチャネルとPチャネルとの特性の不釣り合いさも改善される。

非晶質絶縁基板上に優れた特性の薄膜トランジスタを作製することが可能となるので、ドライバ回路を同一基板上に集積したアクティブマトリクス基板に適用した場合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の低価格化及び大面積化に対してもその効果は大きい。

本発明を、光電変換素子とその定電圧回路を同一チップ内に集積した密着型イメージセンサーに適用した場合には、読み取り速度の高速化、高解像度化、さらに増感をとる場合に非常に大きな効果

伏時間を非常に短くすることが可能となる。前記TEM写真で示した通り、アニール温度が低ければ核発生密度が小さくなり、最終的に非常に大きな結晶粒径のSi膜が得られる。従って、本発明は、固相成長に要する時間を大幅に短縮させるばかりでなく、大粒径のSi膜を形成することに対して極めて大きな効果がある。

1～2時間という非常に短時間で大粒径のSi膜が得られるので、薄膜トランジスタを作成する場合の工程時間の短縮化、及びスループットの向上、ひいてはコストダウンに対して本発明は極めて大きな効果がある。

非晶質絶縁基板上に結晶性の優れたシリコン薄膜を作製することが可能になったのでSOI技術の発展に大きく寄与するものである。フォトリソ工程数はまったく増えない。600℃以下の低温のプロセスでも作製が可能なので、価格が安くて耐熱温度が低いガラス基板をもちいることができる。優れたシリコン薄膜が得られるのにかかわらずコストアップとはならない。

をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4サイズあるいはA3サイズの様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫いのような手配がかかり信頼性の悪い技術を回避することができ、実装歩留りも向上される。

石英基板やガラス基板だけではなく、サファイア基板(Al_2O_3)あるいは $\text{MgO} \cdot \text{Al}_2\text{O}_3$ 、BP、CaF₂等の結晶性絶縁基板も用いることができる。

以上薄膜トランジスタを例として説明したが、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素

子に対しても、本発明を応用することができる。

4. 図面の簡単な説明

第1図(a)から(h)は、本発明の実施例を示すTFTの工程断面図である。

第2図は、X線回折強度の固相成長条件依存性を示す図である。縦軸は、Siの(111)、(220)、(311)のX線回折信号の積分強度の合計を示し、横軸はアニール時間を示している。図中T_aはアニール温度を示す。

第3図は、固相成長のアニール温度が600℃の場合のESR測定によって得られたスピン密度のアニール時間依存性を示す図である。

第4図は、固相成長のアニール温度が600℃の場合の水素濃度のアニール時間依存性を示す図である。

以上

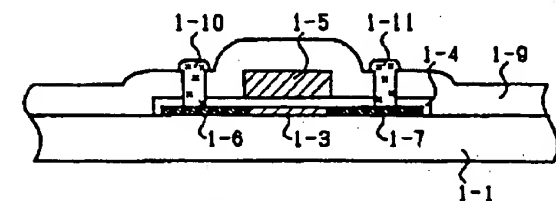
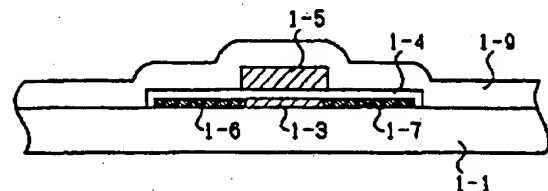
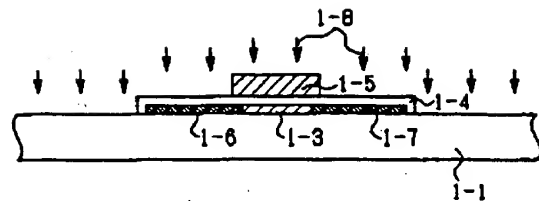
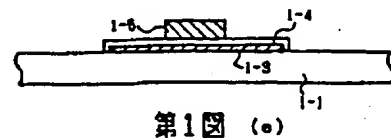
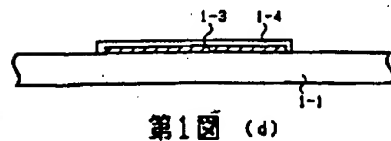
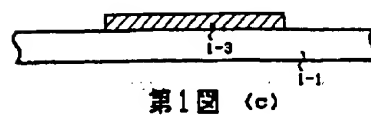
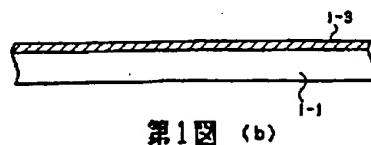
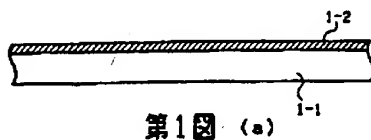
1-2 ; 非晶質Si膜

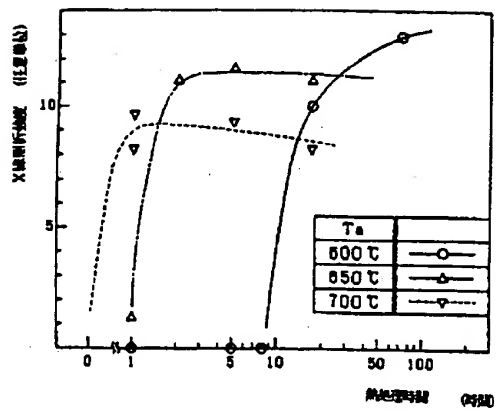
1-3 ; 固相成長させたSi膜

出願人 セイコーエプソン株式会社

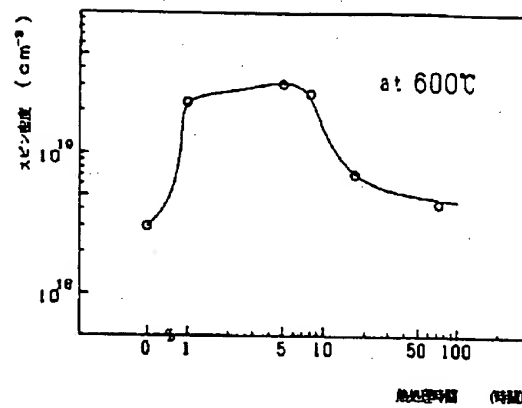
代理人弁理人 鈴木喜三郎(他1名)

1-1 ; 絶縁性非晶質材料

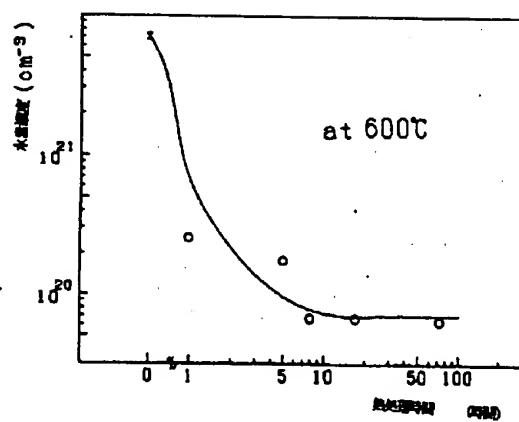




第 2 図



第 3 図



第 4 図